

# RAPPORT ELECTRONIQUE : Cardiofréquencemètre de pouls



# Sommaire :

<b>Introduction.....</b>	<b>2</b>
<b>Partie technique.....</b>	<b>3</b>
<b>Sheet control.....</b>	<b>3</b>
<b>Sheet Inter.....</b>	<b>4</b>
<u>Bloc conditionnement</u> .....	4
<u>Bloc régulation des LEDs</u> .....	5
<u>Bloc traitement DC</u> .....	6
<u>Bloc traitement AC</u> .....	6
<u>Découplage et assignement des pins restants</u> .....	7
<b>Assemblage des 2 sheets et création du PCB.....</b>	<b>7</b>
<u>Fonctionnement de la carte</u> .....	10
<u>FPGA</u> .....	10
<u>ADC</u> .....	11
<b>Cahier de test.....</b>	<b>11</b>
<u>Test 1</u> .....	11
<u>Test 2</u> .....	12
<u>Test 3</u> .....	12
<u>Test 4</u> .....	13
<u>Test 5</u> .....	13
<u>Tableau de tests</u> .....	14
<b>Glossaire.....</b>	<b>16</b>
<b>Avis personnel.....</b>	<b>17</b>
<b>Conclusion.....</b>	<b>17</b>
<b>Annexes .....</b>	<b>17</b>
<u>Annexe 1</u> .....	18
<u>Annexe 2</u> .....	19
<u>Annexe 3</u> .....	20
<u>Annexe 4</u> .....	21

## Introduction

Avant tout, il est intéressant de savoir qu'un oxymètre de pouls est utilisé depuis des dizaines d'année dans le secteur médical et plus particulièrement par les urgentistes pour la suivie de blessés graves. Aujourd'hui, ce petit gadget est également utilisé par les sportifs afin de déterminer leurs limites. En effet, cet appareil permet de mesurer le taux d'oxygène dans le sang ainsi que d'afficher les pulsations du cœur en battements par minute. Pour prendre des mesures, il est nécessaire de mettre un doigt dans un capteur possédant une LED rouge et infrarouge (sorte de pince à linge).

Durant notre projet de CSI3, nous avons été amenés à réaliser ce type d'appareil. Pour cela, le projet a été divisé en 3 parties différentes : une partie électronique, une de VHDL et enfin une partie informatique. La partie qui va ici nous intéresser est la partie électronique.

## Partie technique

Nous avons tout d'abord commencé par réaliser un guide d'étude. Ce guide consiste à analyser les différentes parties, les différents blocs ainsi que les différents composants qui vont ensuite composer la carte électronique. Cette première analyse est primordiale et va déterminer la suite du projet. C'est également dans cette partie que la plupart des valeurs des résistances ainsi que des condensateurs sont calculées.

La partie qui suit consistait à réaliser les schémas avec les composants qui constitueraient par la suite notre carte. Les schémas ont été disposés dans deux parties différentes, une partie contrôle principalement constitué du FPGA et d'une partie analogique (inter) avec entre autre des amplificateurs opérationnels.

### Sheet control (cf Annexe 1)

Pour ce qui est de la partie contrôle, celle-ci est constitué comme cela a été dit précédemment, d'un FPGA (« cerveau » du circuit), d'afficheurs 7 segments afin de pouvoir par la suite visualiser la fréquence cardiaque, d'un switch afin de pouvoir modifier le seuil des alarmes, d'un bloc mémoire (mémoire FLASH) et d'un oscillateur (horloge) pour « conditionner » le FPGA, d'une partie alimentation avec un bornier (+15V, GND, -15V), un régulateur pour passer de 15V à 3,3V et d'un second régulateur pour obtenir une tension de 1,5V. On peut également y voir un connecteur JTAG qui a pour rôle de configurer le FPGA ainsi que des LEDs de contrôle : la LED verte s'allume lors du bon fonctionnement du circuit, la LED orange clignote au rythme des battements par minute et la LED rouge s'allume lorsqu'un souci est détecté (battement du cœur trop rapide ou trop lent par exemple).

Nous avons enfin dans ce schéma une partie découplage qui sert à éliminer les signaux parasites afin d'éviter que ceux-ci remontent vers l'alimentation. Ici nous avons affaire à un découplage capacitif qui consistait à mettre des condensateurs de différentes valeurs en parallèle au point à découpler. Cette valeur du condensateur était choisie en fonction de la fréquence du parasite à filtrer (par exemple un de à 1KHz avec une amplitude de 100 mV sur l'alimentation peut être filtré par un condensateur polarisé de 100 $\mu$ F. Tout condensateur au-dessus de 10 $\mu$ F est obligatoirement polarisé. Le sens positif est ensuite placé là où le potentiel est le plus fort. Tous les autres condensateurs avec des valeurs en nanofarad sont des condensateurs en céramique.

De plus, nous pouvons voir que quelques résistances de rappel (pull-up ou pull-down) ont été utilisées notamment pour le RESET en patte 100 du FPGA et pour le connecteur JTAG. Il faut savoir qu'une résistance de rappel est située entre une source d'alimentation (ici 3,3V ou le GND) et la broche d'un composant. L'entrée numérique devient alors stable car la résistance de rappel a permis de réduire le bruit, d'éliminer les broches flottantes et surtout d'établir deux états électriques clairs et distincts (un état haut et un état bas).

Comme nous avons pût le voir précédemment, il existe deux sortes de résistances de rappel soit le pull-up qui entraîne un état haut soit le pull-down qui entraînent un état bas. De manière générale, ces résistances ont pour valeur 10KΩ. Le reset peut ainsi passé de '0' à '1' si celui-ci est activé.

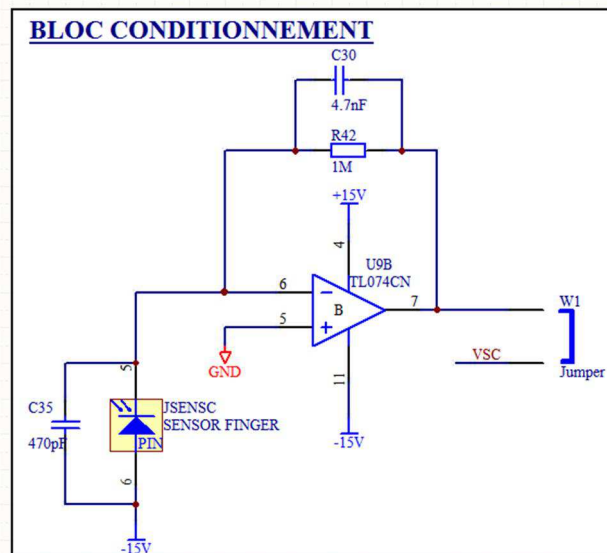
Pour ce qui est des afficheurs 7 segments, des résistances d'1kΩ sont placé autour de chaque bloc pour chaque segment correspond une résistance afin de limité l'intensité à l'intérieur des afficheurs et ainsi éviter que le segment lumineux ne grille. C'est le même principe pour les LEDs BF, ALARME et POULS. Pour ce qui est du calcul des valeurs de ces résistances, seule l'utilisation simple de la loi d'ohm est nécessaire :  $U = R \times I$ .

Par ailleurs, en ce qui concerne le découplage, c'est généralement des condensateurs de 100nF qui sont choisis.

Pour ce qui est de la partie analogique, on peut y voir également un bloc constitué des condensateurs qui servent au découplage, un bloc régulation des LEDs qui sert à réguler la luminosité des LEDs à l'aide d'un potentiomètre. On y a également implanté un partie traitement DC et traitement AC qui respectivement servent à afficheur le battement par minute en hexadécimal lors du l'appui sur le bouton poussoir et à faire réaliser la valeur moyenne du signal. Tout ceci est réalisé à l'aide d'implantation d'amplificateurs opérationnels dans le schéma.

## Sheet Inter (cf Annexe 2)

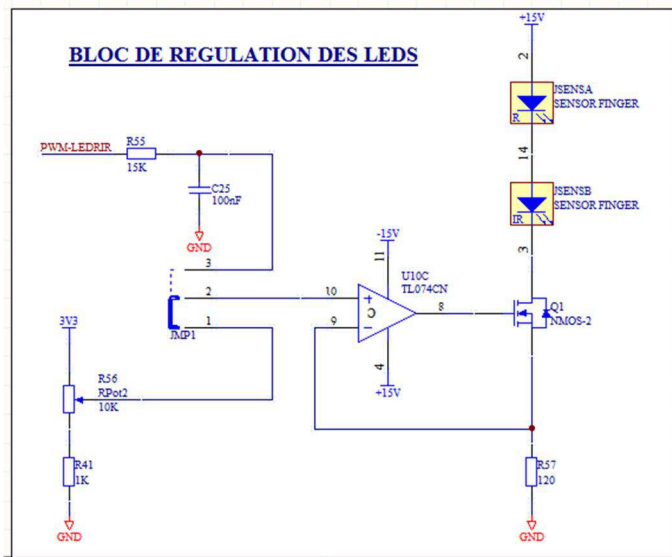
### Bloc conditionnement



Ce bloc sert à convertir le courant inverse proportionnel à l'éclairement de la diode PIN en tension et à supprimer les hautes fréquences. En utilisant Millman et en appelant  $I_p$  le courant passant dans la diode PIN, on a  $VSC = -RC \times I_p$  (avec  $RC = R42$ ). On choisit  $RC$  de manière à ce que  $VSC = 10V$  pour  $I_p = 10\mu A$ , on obtient alors  $RC = 1M\Omega$ . Ensuite on veut éliminer les bruits du signal tels que la lumière ambiante (100Hz) ou le réseau électrique (50Hz) qui ont une fréquence bien au-

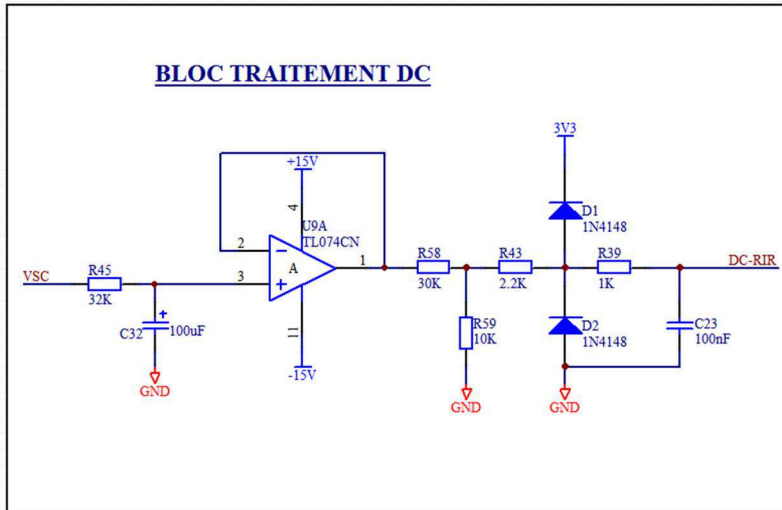
dessus de celle que l'on veut conserver (qui va de 0,5Hz pour 30 BPM à 4,25Hz pour 255 BPM). Pour cela on met un premier condensateur de 470pF, PIN (C35), en parallèle de la diode et un autre (C30) en parallèle de RC pour réaliser un filtre passe bas d'une fréquence de coupure de 33Hz. Comme RC vaut 1MΩ on choisit C30 valant 4,7 nF pour obtenir la fréquence de coupure voulut. Enfin on place un cavalier à la sortie de ce bloc pour faciliter les simulations et prises de mesures lors des tests.

### Bloc régulation des LEDs



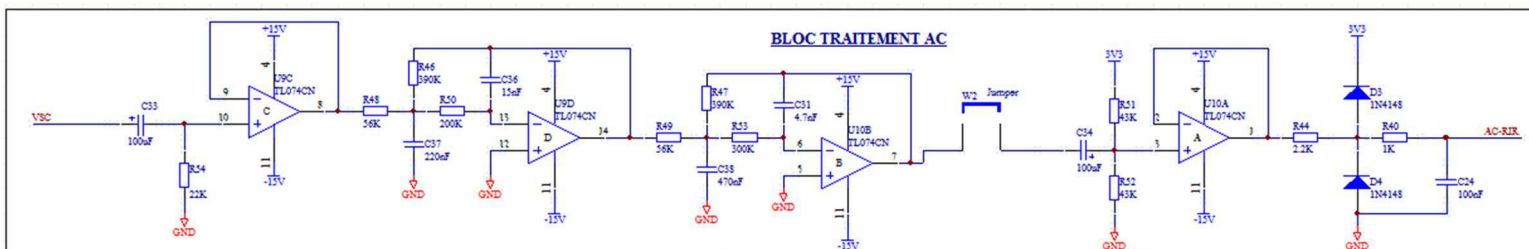
Cette partie sert à choisir le mode de contrôle de l'intensité passant dans les LEDs (ID) avec un cavalier inverseur (soit en mode manuel avec un potentiomètre ou en mode asservi avec un signal PWM généré par le FPGA). Un générateur de courant sert à convertir la tension arrivant de la patte 2 du cavalier inverseur (VSC) en intensité traversant les LEDs. Pour cela en considérant l'AOP en fonctionnement linéaire et en utilisant le théorème de Millman on obtient  $I_D = \frac{V_{CI}}{R_I}$ . ID doit varier entre 0 et 27,5 mA, or la tension de commande VCI est variable de 0,3 V à 3,3 V donc grâce à la relation trouvée précédemment, on trouve RI égale à 120Ω. Pour la partie commande manuelle on utilise un potentiomètre dont la résistance est comprise entre 0 et 10kΩ et qui est soumis à une différence de potentielle de 3,3V. Or quand le potentiomètre vaut 0Ω, VCI vaut lui aussi zéro volt, pour remédier à ce problème on insert une résistance d'1kΩ entre la patte du potentiomètre et la masse pour créer un pont diviseur de tension. Ce montage nous donne une tension de commande variant entre 0,3 V et 3,3 V comme demandé. Pour la partie commande automatique de la luminosité des LEDs on fait la moyenne du signal PWM de fréquence 100kHz et variant entre 0 et 3,2 V. Ce dernier sort d'un pin du FPGA et est relié à un montage passe-bas de fréquence de coupure 106 Hz (résistance de 15 kΩ, condensateur de 100nF) pour en faire la moyenne.

## Bloc traitement DC



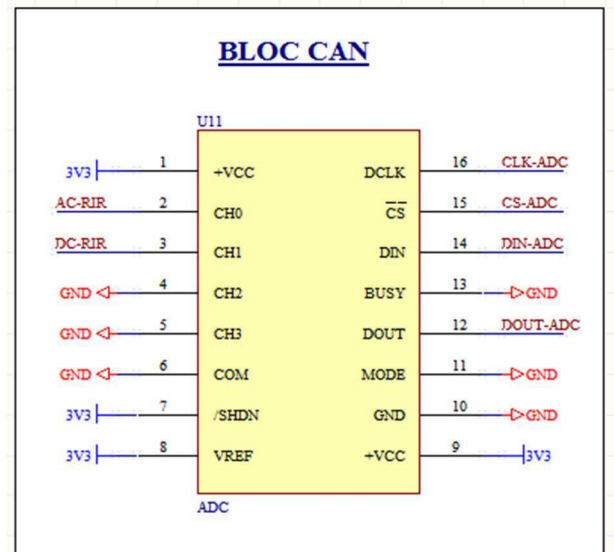
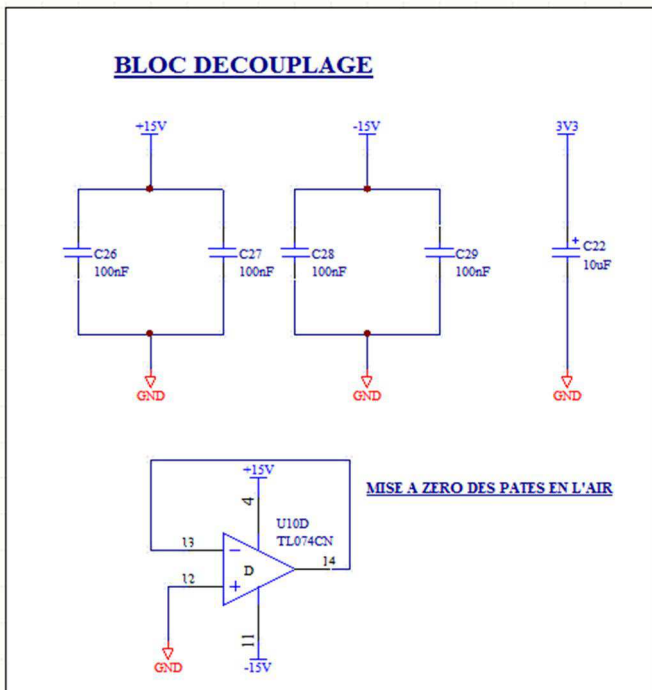
Ce bloc peut être divisé en quatre parties : un filtre passe-bas, un montage suiveur un diviseur de tension et un limiteur de tension. Le filtre passe-bas a pour fonction de faire la moyenne du signal arrivant (VSC) pour en extraire la composante continue, ce filtre a une fréquence de coupure de 0,05 Hz, on donc choisit une résistance de 32kΩ et un condensateur de 100μF pour composer ce filtre. Ensuite on place un montage suiveur pour adapter l'impédance, puis on met un diviseur de tension par quatre (pont diviseur de tension) afin d'adapter l'amplitude à celle acceptée par l'ADC. Enfin on place le limiteur de tension pour protéger l'ADC des tensions supérieures à 4V ou inférieures à -0,7V.

## Bloc traitement AC



Ce bloc sert à filtrer et amplifier la composante alternative du signal. En premier lieu on a un filtre passe-haut d'une fréquence de coupure de 0,075Hz (une résistance de 22 kΩ et un condensateur de 100 μF sont donc utilisés pour ce filtre) qui permet d'éliminer l'offset du signal. Suite à cela on a un montage suiveur pour adapter l'impédance avec la partie suivante de ce bloc. Ensuite, on place 2 filtres de Rauch en série pour obtenir au final un filtre avec un gain de 48,5 et avec une fréquence de coupure à -3dB de 10Hz. Un cavalier est mis à la suite de ces 2 filtres pour faciliter les tests par la suite. Puis on utilise un montage à base d'un pont diviseur de tension et d'un condensateur pour refiltrer les valeurs et les centrer entre 0 et 3,3V, la fréquence de coupure de ce filtre étant de 0,075Hz on utilise un condensateur de 100μF et deux résistances de 43kΩ. Enfin on réutilise un montage suiveur et on place un limiteur de tension juste avant l'entrée de l'ADC tout comme à la chaîne de traitement DC.

## Découplage et assignement des pins restants

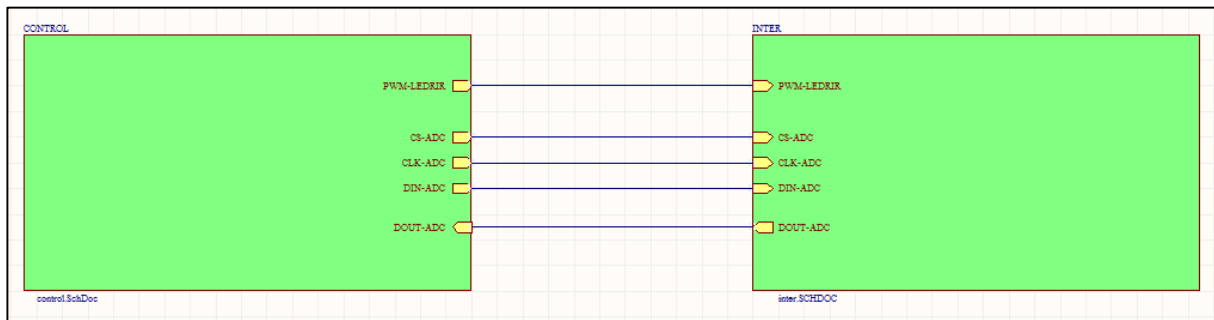


Il y a deux composants alimentés en +15V et -15V, ce sont les deux blocs de quatre amplificateurs opérationnels, on place donc 2 condensateurs de 100nF en parallèle entre le +15V et le GND et entre le -15V et le GND. Pour le 3V3, seul l'ADC est alimenté par cette tension, on place donc un seul condensateur polarisé de 10µF entre 3V3 et le GND. Au niveau des amplificateurs opérationnels, on n'en utilise que 7 sur les 8 disponibles, il faut donc mettre à zéro les pattes de celui qui reste, pour cela on fait un montage suiveur avec l'autre entrée reliée à la masse. Au niveau de l'ADC les entrées non utilisées (CH2, CH3) et celles devant être en permanence à l'état zéro (COM, MODE, GND, BUSY) sont directement reliées à la masse et on relie +VCC, VREF et /SHDN à 3V3. On choisit de mettre AC-RIR sur CH0 et DC-RIR sur CH1 les autres entrées/sorties de l'ADC sont reliés au pin du FPGA leur correspondant.

## **Assemblage des 2 sheets et création du PCB**

Enfin, les deux schémas sont rassemblés en un seul grâce à la création de deux blocs au sein d'un même fichier, un bloc control et un bloc inter possédant leurs entrées/sorties qui leurs permettent d'être tous les deux reliés. Ce fichier a pour nom le sheet Parent et chacune des deux autres blocs correspond au sheet Child.





Sheet Parent

Suite à la réalisation de ces deux schémas, le schéma imprimé (PCB) a pu être réalisé. Il s'agit ici, dans un premier temps, de vérifier si toutes les connexions entre tous les composants ont bien été effectuées grâce à la création d'une netlist où y figure les caractéristiques de tous les composants avec leur empreinte et leur valeur entre autre ainsi que les liaisons de chaque composants entre eux. Suite à cela, on a pu observer que certains composants ne possédaient pas d'empreintes. Or, afin que le PCB puisse être réalisé, tous les composants doivent avoir leurs propres empreintes. Ainsi, à partir d'une librairie (PCB\_BASE\_2013) les composants n'ayant pas d'empreintes ont pu en recevoir. Par ailleurs, toutes les empreintes non présentes dans cette librairie ont dû être créées à commencer par les DIPs (support où viendra ensuite se poser les AOP, le switch, l'ADC...) ainsi que le bornier et certains condensateurs. Ces empreintes ont dû être réalisées en fonction des caractéristiques des composants. En effet, quelques composants ne peuvent être soudés que par le dessous et deux pastilles superposées doivent être positionnées sur leur footprint afin de pouvoir relier les pistes de la couche du dessus avec les pistes de la couche du dessous. Afin que les pastilles du dessus n'aient pas d'impact par la suite une pastille zéro est positionnée sur la partie top.

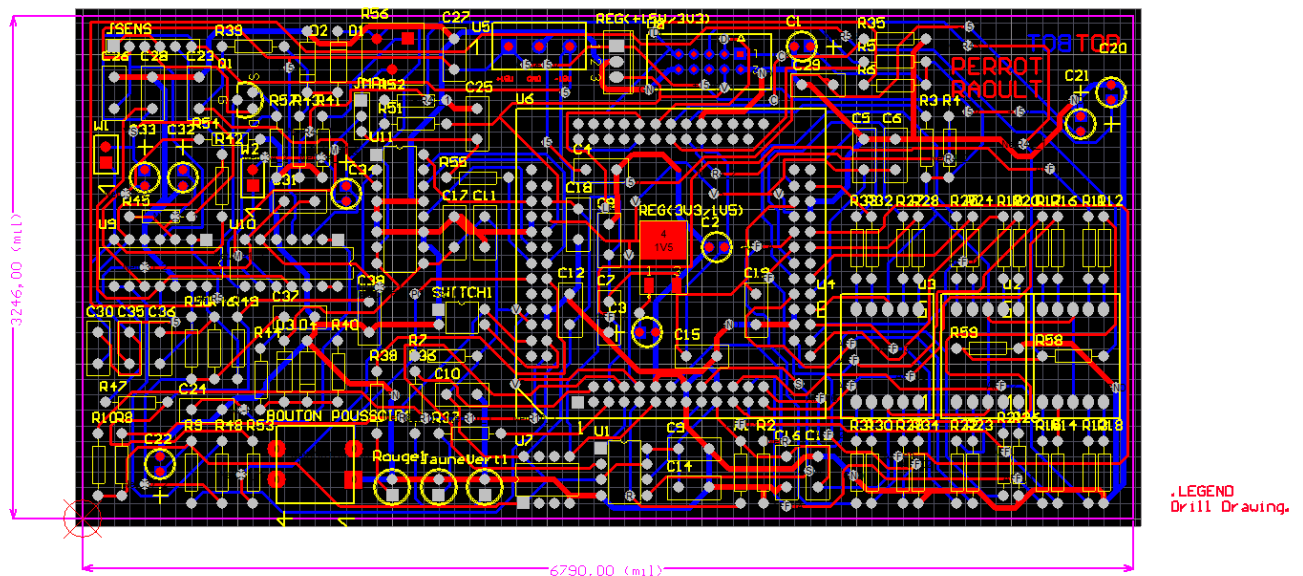
Concernant la taille des pastilles, cela dépend des composants. La plupart possède des pastilles de 80 mil (c'est-à-dire 2 mm) et des trous de 0.8 mm. Pour certains composants comme le bornier et les cavaliers, les trous feront 1 mm. Pour d'autres comme les DIPs, les pastilles seront ovales avec une taille de 2 x 2,5 mm.

Par ailleurs, une fois que les composants ont tous été importés et positionnés sur la carte (carte de dimension 85mm x 175mm), un routage peut être effectué. Cependant, avant le routage certaines conditions doivent être mises en place comme la taille des pistes pour les alimentations. Cette taille est initialement mise à 0,5mm pour tous. Pour revenir au routage, si celui-ci est bien effectué, le chevelu (petit fil qui relie chaque composant entre eux) devient alors une partie de cuivre et à la fin de ce routage, le nombre de « connection failed » et de contentions doit être égal à zéro. Une fois cela réalisé, certaines largeurs de pistes peuvent être modifiées. Par exemple la largeur des pistes qui concerne le GND (masse) peut être mise à 1 mm afin de faciliter son repérage entre autre.

Pour revenir au positionnement sur la carte, le temps de propagation dépendant de la longueur des liaisons entre les composants, ceux-ci sont placés au plus proche de l'endroit où ils y ont un grand intérêt (par exemple les résistances des afficheurs au plus près de ceux-ci). De plus, pour optimiser au maximum l'ergonomie de la carte, nous avons décidé de placer logiquement le FPGA au milieu (centre de commande : beaucoup d'informations donc de pistes partent de ce composant).

Les afficheurs 7 segments sont naturellement placé horizontalement et sur la partie droite de la carte, avec pour commencer celui des centaines puis des dizaines et enfin des unités (de gauche à droite) afin de pouvoir lire facilement par la suite le nombre de battement par minute. Toute la partie analogique occupe la partie gauche de la carte avec les AOP comme composants principal. De plus, le bornier, le connecteur JTAG ainsi que le connecteur capteur sont logiquement placé sur le bord de la carte pour faciliter le branchement des fils pour le bornier d'une part, la connexion du « boîtier » sur le connecteur JTAG d'autre part et le branchement du capteur où viendra ensuite se positionner notre doigt (composants avec des éléments extérieurs qui viennent se greffer dessus). Par ailleurs, pour ce qui est des 3 LEDs, celles-ci ont été aligné afin de pouvoir visualiser facilement le bon fonctionnement de la carte, les pulsations liés à la LED pouls et l'allumage de la LED alarme suite à une quelconque erreur. Le positionnement des autres éléments s'est fait de manière à les positionner sans faire de contentions et aux plus près des composants auquel ils sont liés. Le régulateur 1,5V ainsi que certains condensateurs ont pût être placé sous le FPGA.

Afin de ne pas faire d'erreurs par la suite, le marquage du mot TOP (haut en anglais) sur la couche supérieur et du mot BOT (de bottom, bas en anglais) sur la couche inférieur sera réalisé ainsi que, naturellement, l'écriture de nos noms sur la carte. Le marquage au cuivre de l'endroit où se trouve le +15V, le GND et le -15V au niveau du bornier est également nécessaire pour éviter toute erreur de raccordement des fils.



Carte électronique

Afin, une fois le PCB terminé, une carte électronique peut être fabriquée. Cette carte étant initialement vierge, les trous des pastilles sont naturellement réalisés à l'aide d'une perceuse possédant un foret de 0,8 mm et un foret de 1 mm et 1,2 mm pour les trous de quelques composants. Une fois ces trous effectués, tous les composants peuvent être récupéré avec l'aide de la nomenclature (cf Annexe 3) pour avoir les bonnes valeurs des résistances et des condensateurs. Une fois cela réalisé, les soudures des via par le dessus et par les dessous peut débuter. Un via est réalisé avec un simple fil de fer et celle-ci permet de passer de la couche supérieur à la couche inférieur ou inversement afin de réaliser des connexions entre les composantes. Une fois tous les via

soudés des deux côtés, la logique a voulu que les premiers composants à être soudé soit les résistances suivi des supports pour les amplificateurs, le switch, le FPGA, l'oscillateur... Tous les composants sont évidemment soudés sur la partie bottom mais seulement les pastilles, côté top, possédant une piste qui partait vers un autre composant ou via sont soudés. Chaque soudure est effectuée en faisant dans un premier temps chauffer la pastille puis en déposant une couche plutôt généreuse d'étain afin de recouvrir en totalité la pastille. La suite du soudage concerne principalement les condensateurs puis les composants restant dans un ordre qui n'a plus d'importance majeur dans la mesure où les soudures sont réalisables sans trop de difficulté.

#### Fonctionnement de la carte :

Sur cette carte, nous avons le FPGA qui « contrôle » toute la carte, c'est le « cerveau ». Nous avons la mémoire FLASH, l'ADC et l'horloge qui permette au FPGA de fonctionner correctement (explication faite précédemment). De plus, les switches permettent de modifier le seuil d'alarme (le seuil haut de 240 BPM peut être descendu jusqu'à 100 BPM et le seuil bas de 40 BPM peut être monté à 60 BPM). Les afficheurs 7 segments permettent l'affichage de ces battements par minute et le bouton poussoir permet son affichage en hexadécimal. Le potentiomètre permet de modifier la luminosité des LEDs et les AOPs traitent le signal AC et DC. Le bornier permet de fournir une tension à la carte et les régulateurs sont là pour diminuer cette tension initiale de 15V à 3,3V ou 1,5V. Le reste de la carte est rempli par les résistances, les condensateurs (principalement pour le découplage) et les vias.

#### FPGA

Il faut savoir qu'avant tout, un FPGA est constitué principalement de blocs logiques. En ce qui concerne tous ces blocs logiques, ils sont de manière générale constituée d'une table de correspondance (LUT) et d'une bascule. Les LUT servent à implémenter des équations logiques ayant généralement plusieurs entrées pour une seule sortie. Elles peuvent également être considérées comme de petites mémoires, des multiplexeurs ou des registres à décalage. Ces registres permettent de mémoriser un état (machine séquentielle) ou de synchroniser un signal. Ces blocs logiques sont connectés entre eux par une matrice de routage configurable. Cette matrice permet la reconfiguration à volonté du FPGA c'est pour cela qu'il occupe une aussi grande place sur la carte.

De plus, comme la configuration du FPGA est faite par des points mémoire volatils, il est préférable de conserver le design du FPGA dans une mémoire non volatile externe. C'est pour cela que sur notre circuit, une mémoire Flash y est installée. Cette mémoire est naturellement compatible avec le JTAG.

En effet, le JTAG va par la suite permettre de configurer, de manière externe au FPGA, des mémoires non volatiles.

Pour revenir au FPGA, celui qui l'on utilise est de la famille de cyclone, fabriqué par ALTERA avec comme référence EP1C3T100C8N. Celui-ci possède près de 2910 éléments logiques mais seulement 30% de sa capacité sera ensuite utilisé. Ce FPGA est alimenté en 3,3V.

## ADC

Ce petit composant est un convertisseur analogique-numérique. Il a comme son nom l'indique le rôle de traduire une grande analogique en une valeur numérique (dans notre cas une tension électrique). Cependant, il existe plusieurs technique permettent le passage de l'analogique ou numérique (convertisseur à simple rampe par exemple). Ici, c'est un convertisseur flash que nous utilisons. Le principe est de produire  $2^N - 1$  tensions analogiques (donc 4095 tensions analogiques car  $N = 12$ , signal codé sur 12 bits) au moyen d'un diviseur de tension à 4095 résistances. Les tensions aux bornes de chacune des résistances sont ensuite comparées dans 4095 comparateurs. Un bloc logique combinatoire est enfin relié à ces comparateurs et donnera le résultat codé ici sur 12 bits en parallèle. En ce qui concerne, la dynamique maximale de conversion, celle-ci va de 0V à 3,3V mais la précision est assez faible (de l'ordre de la dizaine de bits).

## **Cahier de test**

Cette partie résumé les procédures durant laquelle les tests ont été réalisé avec les fonctions testées, la méthode pour les tester ainsi que les résultats obtenus.

### Test 1 :

Ce test étant le premier, il est réalisé hors tension. Durant ce test tous les schémas réalisés auparavant ont dû être mis à jour ainsi que la nomenclature afin de faciliter la compréhension de de visualiser clairement où était les erreurs restantes. Ainsi après avoir placé tous les composants sur la carte, c'est-à-dire les résistances, les condensateurs, les supports pour les composants type FPGA, le transistor, les 3 LED, les diodes, le bouton poussoir, le switch, le connecteur JTAG et les 3 cavaliers ; nous avons pût vérifier l'absence de court-circuit. Cette vérification s'est faite principalement entre l'alimentation de +15V, celle de -15V et du GND (masse) ainsi qu'à la sortie des régulateurs. Pour faire ces vérifications, on a simplement utilisé un voltmètre en position V naturellement pour mesurer une tension.

Pour finir, le marquage des certains composants sur la carte à l'aide d'un crayon indélébile a été nécessaire afin de pouvoir les repérer plus facilement par la suite. Il s'agit de la LED BF (verte : bon fonctionnement), la LED POULS (orange) et la LED ALARME (rouge). Il a également été plus judicieux de marquer la position du switch en position '0' ou en position '1' ainsi que les tensions arrivant aux dominos du bornier (+15V à gauche, la masse naturellement au milieu et le -15V à droite).

Une fois ce test validé, nous avons pût recevoir le régulateur 3,3V ainsi que le régulateur 1,5V qu'il a ensuite fallu souder sur la carte (en faisant attention de recouvrir en totalité la surface de la « languette » pour le régulateur 1,5V).

## Test 2 :

Durant ce test, l'absence de court-circuit ayant été vérifié précédemment, la carte peut être mise sous tension. Pour ce faire 3 fils reliant le générateur et les dominos du bornier sont mis en place ainsi qu'une tension de +15V et -15V aux bornes du générateur.

Suite à cela, les régulateurs étant bien soudés, nous avons pu vérifier les tensions de sortie toujours à l'aide d'un multimètre afin de voir que le régulateur 3,3V fournit bien cette tension et que pour le régulateur 1,5V cette tension est également bien fournie.

De plus, le bon fonctionnement des 3 LEDs a pu être constaté en connectant un fil sur les pattes responsable de l'allumage des LEDs ainsi que sur une broche générant du 3,3V. Toute erreur de conception au niveau des résistances des résistances a ainsi pu être vérifiée.

De même, le bon fonctionnement des switches par rapport à leur mode d'activation (voir cahier des charges) ainsi que celui du bouton poussoir a pu être constaté.

Pour finir, toutes les entrées des composants reliés aux régulateurs et au bornier ont pu être contrôlées ainsi que la possible présence de court-circuit. Par exemple certains composants étant pourvus d'une tension de 3,3V ou d'1,5V devaient présenter une tension similaire à celle demandée afin que celui-ci puisse être alimenté en toute sécurité.

Pour finir, une fois ce test validé par un enseignant, les amplificateurs opérationnels nous ont été distribués et nous avons pu les placer sur les supports prévus à leur effet.

## Test 3 :

Une fois les AOPs implantés, une rapide vérification à l'aide d'un voltmètre a pu montrer qu'il était bien connecté.

De plus, une résistance ( $1M\Omega$ ), 2 LEDs ainsi que des cavaliers nous ont été distribués à la fin du test 2. Les LEDs ont pour but de vérifier le bon fonctionnement du potentiomètre. En effet, ces LEDs sont positionnées pour l'une sur les broches 1 et 3 du capteur et pour l'autre sur les broches 2 et 4 et celle-ci doivent s'allumer à la mise sous tension : place qui sera lors de l'intégration occupée par les LEDs rouge et infra-rouge. Pour ce qui est du sens de la LED, un méplat indiquait le côté de la cathode (-). De plus, une fois le cavalier bien positionné (broche 1 et 2 du JMP1 : contrôle manuel) et le jumper W1 en position ouverte, la rotation du potentiomètre doit permettre de réguler l'intensité lumineuse des LEDs. Un ampèremètre est placé à leurs bornes afin de vérifier que le courant circulant à l'intérieur varie bien entre 0 et 27,5 mA lorsque l'on actionne le potentiomètre manuellement comme le demande le cahier de charge.

Ensuite, nous avons pu régler l'oscillateur à l'aide d'un câble coaxial. Le signal choisi était un signal carré car une alimentation extérieure générée par un générateur basse fréquence (GBF) a été positionnée sur l'entrée du bloc conditionnement. La résistance d' $1M\Omega$  donnée par les enseignants est également placée sur la broche 5 du connecteur capteur afin d'obtenir le schéma 1. Suite à cela, un deuxième câble est connecté sur la sortie de l'AOP du conditionnement de la sortie du photo-détecteur du capteur et relié à la voie 2 de l'oscillateur.

Ainsi la tension de sortie de l'AOP a pût être mesuré ainsi qu'un gain de -1 pour une fréquence de coupure de 32,2Hz ( $f_c = \frac{1}{2\pi RC}$ ) : visualisation ensuite sur l'oscilloscope de cette condition).

Pour finir, ce test, le cavalier positionné sur le JMP1 a pût être positionné sur les broches 2 et 3 afin de vérifier le mode automatique de la gestion de la luminosité des LEDs. Comme précédemment, un ampèremètre a été placé aux bornes des LEDs et une intensité de 13,9 mA a pût être enregistré à 50% de l'intensité maximale des LEDs (c'est-à-dire à 1,5V).

#### Test 4 :

Ce test va logiquement dans la continuité du test 3, c'est-à-dire qu'il s'agit ici de venir le bon fonctionnement des blocs traitement AC et traitement DC. Pour ce faire, les constantes de temps et les fréquences de coupure de filtre passe bas sont mesurés avec l'aide de l'oscillateur naturellement.

Pour mesurer les constantes de temps, la câble de la voie 2 de l'oscilloscope est positionné à l'endroit où la mesure doit être prise, c'est-à-dire sur la broche 8 de l'AOP U9 pour le premier filtre et la tangente en zéro est réalisée à partir de la courbe obtenue sur l'oscilloscope (pour plus de précision deux curseurs peuvent être positionnés à + ou - 10% de la dynamique maximale). Pour le premier filtre du traitement AC, on obtient une constante de temps de 4s (2,12s théoriquement). On réalise le même premier pour les filtres suivants. Au final, une fréquence de coupure de 9,6Hz est obtenue pour le traitement AC.

Pour ce qui est du traitement DC, un atténuateur est bien placé à la sortie du filtre passe bas (calcul des résistances de diviseur par 4 : pont diviseur de tension ( $\frac{R_2}{R_1 + R_2}$ ), on prend donc  $R_1 = 10K$  et  $R_2 = 30K$ ). Afin de vérifier le bon fonctionnement de cet atténuateur, un voltmètre est placé avant l'atténuateur pour une première mesure puis après. Dans un premier temps, nous obtenons 663 mV puis 170 mV : la tension a bien été divisée par 4.

De plus, pour ce qui est des tests, une constante de temps de 2,7s est obtenue par la méthode expliquée précédemment (3,1s constante de temps théorique) et une fréquence de coupure de 3 Hz est mesurée à haute fréquence et de l'ordre de 0,1 Hz à basse fréquence. Il faut savoir que la mesure est prise avec un signal carré pour les fréquences basses et un signal sinusoïdal pour les fréquences hautes.

Suite à cela, l'oscillateur et les 3 afficheurs 7 segments sont distribués. Il suffit alors simplement de les positionner sur les supports prévus à leur effet.

#### Test 5 :

Le début de ce dernier test consiste à vérifier que les afficheurs 7 segments sont bien alimentés en 3,3V puis que chacun des segments s'allume bien. Pour ce faire l'emploi d'un simple fil connecté à la broche du FPGA qui commande le segment visé (par exemple : broche 24 pour le 5<sup>ème</sup> segment de l'afficheur des unités) ainsi qu'à une broche générant du 3,3V est nécessaire. De plus, pour vérifier que l'oscillateur fonctionne, il est nécessaire de relier un câble de la sortie de l'oscillateur à l'oscilloscope afin de visualiser que le signal varie bien sur une période de 20 MHz.

Suite à cela, les derniers composants sont implantés sur la carte à savoir l'ADC, la mémoire FLASH et le FPGA. Des tests sont alors réalisés et une configuration du FPGA est réalisée durant ces tests afin de vérifier que la carte fonctionne correctement en totalité (affichage du bon nombre de battement par minute à la bonne fréquence, bon affichage en hexadécimal lors de l'appui sur le bouton poussoir...).

Une fois ce test validé, la carte est prête pour l'intégration finalement avec la partie réalisée en VHDL.

### Tableau de tests :

Ce tableau récapitulatif comporte le test à réaliser, la méthode utilisée pour le faire avec le résultat attendu ainsi que le résultat obtenu

Fonction testée	Méthode et matériel	Résultat Attendu	Résultat Obtenu
<b>TEST 1 (Hors tension)</b>			
Absence de court-circuit au niveau de l'alimentation	Utilisation d'un ampèremètre dans un circuit sans tension (si l'ampèremètre est mis en mode « sonore », le bip de l'appareil indique une connexion entre les deux broches de l'ampèremètre : le courant passe)	Connexion entre chaque GND, chaque +15V et -15V sans court-circuit (les alimentations sont sûres)	Validé
Absence de court-circuit en sortie des régulateurs	Même méthode que précédemment (une broche de l'ampèremètre au GND et l'autre sur la patte de sortie du régulateur choisi)	Connexion réalisée sans court-circuit (carte sûre)	Validé
<b>TEST 2 (Sous tension)</b>			
Présence du bon voltage en sortie des régulateurs	Utilisation d'un voltmètre avec une carte sous tension et positionnement d'une broche au GND et l'autre en sortie du régulateur	Régulateur 3,3V : 3,3V à $\pm 2\%$ Régulateur 1,5V : 1,5V à $\pm 2\%$	Régulateur 3,3V : 3,32V (Validé) Régulateur 1,5V : 1,54V (Validé)
Présence de la bonne alimentation au niveau des circuits intégrés	Utilisation d'un voltmètre et vérification comme précédemment de la bonne alimentation des AOP principalement ainsi que des afficheurs 7 segments, de l'oscillateur, de la mémoire flash...	Alimentation en 3,3V pour les composants nécessitant du 3,3V, en 1,5V pour d'autres et en 15V (voir spécifications).	Bonne alimentation (Validé)
Sélection du mode les les switches	Comme précédemment, utilisation du voltmètre (patte 97 et 98 du FPGA)	Déterminer le sens bloquant ou passant des switch (position '1' : 3,3V et '0' : 0V)	Validé

Vérification de bon fonctionnement du bouton poussoir	Utilisation d'un voltmètre pour mesurer la tension de sortie du bouton poussoir (patte 89 du FPGA)	Le bouton poussoir étant alimenté en 3,3V, lorsque l'on appui sur son bouton, celui-ci passe de 3,3V à 0V	Validé
Allumage des LEDs	On utilise un ampèremètre et on positionne un fil sur un pin générant du 3,3V ainsi que sur le pin responsable de l'allumage de la LED choisie. Avec l'ampèremètre on vérifie que l'intensité traversant les LEDs correspond bien à celle de la Datasheet	LED BF : pin 3 (allumage) LED ALARME : pin 90 (allumage) LED POULS : pin 4 (allumage)	Validé
Bonne alimentation du connecteur JTAG	Utilisation d'un voltmètre (patte 62, 63, 64 et 67 du FPGA) pour vérifier la bonne alimentation en 3,3V	Présence d'une tension de 3,3V aux pattes du FPGA cité précédemment	Validé
Configuration entre l'ADC et le FPGA	Utilisation d'un voltmètre pour vérifier les connections entre ces deux éléments	CLK ADC (patte 79) : 0V / ADC (patte 16) : 0V CS ADC (patte 88) : 0V / ADC (patte 15) : 0V DIN ADC (patte 84) : 0V / ADC (patte 14) : 0V DOUT ADC (patte 85) : 0V / ADC (patte 12) : 0V PWM ADC (patte 87) : 0V / ADC (R55) : 0V	Validé
<b>TEST 3</b>			
Commande des LEDS (mode manuel)	Utilisation de 2 LEDS de test ainsi que d'un ampèremètre	Les LEDS doivent s'allumer et le courant circulant à l'intérieur doit varier entre 0 et 27,5mA lors de la manipulation du potentiomètre	Les LEDS s'allument bien et la variation de tension correspond à celle demandé (Validé)
Commande des LEDS (mode automatique)	Comme précédemment on utilise les LEDS et un ampèremètre	A 50% de la luminosité des LEDS l'intensité mesurée doit être de 15mA	Intensité mesurée à 50% de la dynamique maximale : 13,9mA (Validé)
Conditionnement de la sortie du photo-détecteur du capteur	Utilisation de la résistance (1M $\Omega$ ) de test ainsi de d'un GBF et d'un oscilloscope	Vérifier que l'on a bien un filtre passe bas de fréquence de coupure de 33Hz avec un gain de -1	Fréquence de coupure de 32,2Hz avec un déphasage de $\pi/2$ (Validé)
<b>TEST 4</b>			
Extraction de l'information du bloc traitement AC	Utilisation du GBF et de l'oscilloscope	Le premier filtre passe bas doit avoir un constante de temps à alentour de 2,12s (tangente en zéro).	Constante de temps de 4s et fréquence de coupure de 9,6Hz (Validé)



		La fréquence de coupure doit être d'environ 10Hz.	
Extraction de l'information du bloc traitement DC	Utilisation du GBF et de l'oscilloscope	La constante de temps doit être d'environ 3,1s et les fréquences de coupures (à basse fréquence : 5Hz, à haute fréquence : 0,05Hz)	Constante de temps de 2,7s et respectivement des fréquences de coupures de 3Hz et de 0,1Hz (Validé)
Atténuateur par 4	Utilisation d'un voltmètre	La tension à l'entrée du filtre est de 700mV et elle doit être de 175mV après être passé par l'atténuateur	Tension d'entrée 663mV et tension final 170mV (Validé)
TEST 5			
Allumage des segments des afficheurs 7 segments	Utilisation d'un voltmètre et du fil relié sur le pin responsable de l'allumage des segments de l'afficheur et sur un pin générant du 3,3V	Allumage des segments en fonction du pin choisi (ex : pin 34 : AFFD4)	Validé
Fonctionnement de l'oscillateur	Utilisation de l'oscilloscope	Visualisation d'un signal oscillant sur une horloge de 20MHz	Validé

## Glossaire

ADC: Analog to Digital Converter

DXP: logiciel permettant la conception assisté par ordinateur

Footprint: Empreinte d'un composant

FPGA: Field Programmable Gate Array

GBF: Générateur Basse Fréquence

GND : masse conductrice de la terre (de l'anglais ground : le sol)

JTAG: Joint Test Action Group

LED: Light Emitted Diode

LUT: Look Up Table

PCB: Printed Circuit Board

## Avis personnel

Ce projet nous a beaucoup apporté car on a ainsi pût voir concrètement ce que nous pourrions être amené à faire dans un futur proche. Ce projet nous a permis de voir sur quoi un ingénieur pouvait être amené à travailler. Par ailleurs, on a également découvert que la fabrication d'un circuit intégré n'est pas aussi simple que l'on pourrait l'imaginer. Il y a un gros travail d'analyse à faire au préalable avant même de commencer à faire la schématique. La découverte et l'utilisation du logiciel Design Explorer DXP a également été un plus car désormais l'utilisation de ce logiciel qui permet la fabrication d'un circuit imprimé n'a plus de secret pour nous. On a également apprécié le travail plus manuel qui consistait à percer et souder les composants sur notre carte. On a ainsi pût voir à quel point il fallait être minutieux pour faire certaines soudures et ainsi comprendre, au vu de la taille de plus en plus réduite des composants, pourquoi l'utilisation de robot dans ce domaine est indispensables. Pour finir, le faite de faire l'intégration sur la carte avec la partie réalisée parallèlement en VHDL a été très intéressante car cela représentait l'aboutissement de notre projet. On a ainsi, après avoir vérifié la bonne alimentation des composants par la tension qui leur était nécessaire, pût voir l'aboutissement concret de notre projet en visualisant sur l'oscilloscope et sur nos afficheurs nos battements de cœur par minute suite à l'insertion de notre doigt dans le capteur.

Pour finir, ce projet nous a vraiment intéressé car travailler sur du concret avec une production finale est plus motivant.

## Conclusion

Durant la phase d'intégration, après avoir vérifié que tous les composants étaient bien alimenté par la tension qui leur est nécessaire, nous avons pût finaliser notre projet en combinant la partie VHDL faite en parallèle avec la partie électronique, c'est-à-dire notre carte. Il a simplement suffi d'implanté la partie VHDL à l'intérieur du FPGA et de mettre notre doigt dans le capteur possédant une LED rouge et infra-rouge et notre pulsation pas minute a pût être lu grâce aux afficheurs 7 segments. Ce projet nous a permet de nos mettre à la place des ingénieurs qui conçoivent les appareils électroniques de demain et de rencontrer des difficultés auxquelles nous serions plus tard confronté.

Grâce à ce projet, nous avons pût voir ce à quoi plus tard nous serions amené à faire. En effet, de nos jours, n'importe quelle entreprise possède des projets à plus ou moins long terme afin que celle-ci puisse sortir de nouvelle innovation et attirer la clientèle. Pour ce qui est du projet de la NASA, c'est de « capturer un astéroïde à l'aide d'une sorte de sac. Tout projet rend une entreprise vivante et lui permet de se démarquer d'une autre.

## Annexes